

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-55246

(43)公開日 平成5年(1993)3月5日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

8225-4M

H 0 1 L 29/ 78

3 0 1 L

審査請求 有 請求項の数4(全 6 頁)

(21)出願番号

特願平3-238712

(22)出願日

平成3年(1991)8月26日

(71)出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

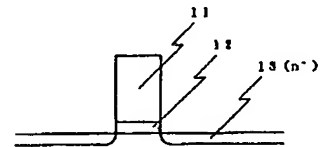
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 絶縁ゲイト型半導体装置の作製方法

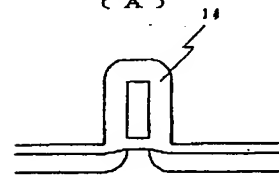
(57)【要約】 (修正有)

【目的】 LDD構造を作製する方法として、アスペクト比が1以上の高アスペクト比のゲイト電極でも何ら問題なく実施できる全く新しい方法を提唱する。

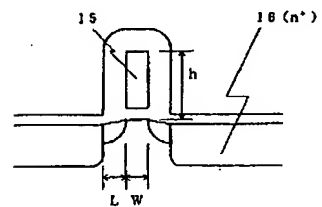
【構成】 MOSFETにおいて、LDD領域を形成するにあたって、最初に、ゲイト電極となるべき部分11をマスクとしてセルフアライン法で低濃度不純物領域13(第1の不純物領域)を形成したのち、熱酸化法等の方法によってゲイト電極となるべき部分を酸化し、内部にゲイト電極15を形成し、ゲイト電極側面に生成した酸化物層14をマスクとしてセルフアライン法で高濃度不純物領域16(第2の不純物領域)を形成する。



(A)



(B)



(C)

【特許請求の範囲】

【請求項1】 半導体上に形成された絶縁性被膜上に、ゲイト電極となるべき部分を形成する工程と、前記部分をマスクとして不純物を半導体中に導入し、自己整合的に第1の不純物領域を形成する工程と、前記部分の少なくとも側面を酸化する工程と、前記工程によって酸化されたゲイト電極の部分をマスクとして不純物を半導体中に導入し、自己整合的に第2の不純物領域を形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項2】 請求項1において、ゲイト電極の高さは、その幅の1倍以上であることを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項3】 請求項1において、第1の不純物領域の不純物濃度は、第2の不純物領域の不純物濃度よりも小さいことを特徴とする絶縁ゲイト型半導体装置の作製方法。

【請求項4】 単結晶シリコン上に形成された絶縁性被膜上に、多結晶シリコンよりなるゲイト電極となるべき部分を形成する工程と、前記部分をマスクとして不純物を半導体中に導入し、自己整合的に第1の不純物領域を形成する工程と、熱酸化法によって、前記部分を酸化する工程と、前記工程によって酸化された部分をマスクとして不純物を半導体中に導入し、自己整合的に第2の不純物領域を形成する工程とを有することを特徴とする絶縁ゲイト型半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、高速性に優れ、また、高集積化の可能な絶縁ゲイト電界効果型半導体素子（半導体装置）の作製方法に関する。本発明による半導体素子は、マイクロプロセッサやマイクロコントローラ、マイクロコンピュータ、あるいは半導体メモリー等に使用されるものである。

【0002】

【従来の技術】半導体素子の微細化、高集積化に関して、多くの研究開発が進められている。特に、MOSFETと呼ばれる絶縁ゲイト電界効果型半導体素子の微細化技術の進歩はめざましい。MOSとは、金属（Metal）-酸化物（Oxide）-半導体（Semi-conductor）の頭文字を取ったものである。金属は、純粋な金属でなくとも、十分に導電率の大きな半導体材料や、半導体と金属の合金なども含めた広い意味で使用される。また、金属と半導体の間の酸化物のかわりに、純粋な酸化物だけではなく、窒化物等の十分に抵抗の大きな絶縁性材料が用いられることもあり、そのような場合には、厳密にはMOSという用語は正しくないが、以下、本明細書では窒化物その他の絶縁物をも含めて、このような構造を有する電界効果型素子をMOSFETと称することとする。

【0003】MOSFETの微細化は、ゲイト電極の幅

を小さくすることによっておこなわれる。ゲイト電極の幅が小さくなるということは、その下のチャネル領域の長さ、すなわち、チャネル長が小さくなるということであり、このことは、チャネル長をキャリアが通過するに要する時間を小さくすることとなり、結果的には高集積化とともに高速化ももたらされる。

【0004】しかしながら、そのことによって、別な問題（短チャネル効果）も生じる。その中で最も重要なものはホットエレクトロンの問題である。従来のような、十分に不純物濃度の大きなソースおよびドレインという不純物領域に、極性が反対の不純物がドーピングされたチャネル領域がはさまれた構造では、チャネル領域をせばめるにしたがって、ソースとドレインに印加される電圧によってチャネル領域と不純物領域の境界付近の電界が大きくなる。その結果、MOSFETの動作は極めて不安定になる。

【0005】そのような問題点を解決する目的で提唱された新しいMOSFETの構造が、LDD（Lightly-Doped-Drain）という構造である。これは、典型的には図2（D）に示される。図2（D）において、不純物濃度の大きな領域26よりも浅く設けられた不純物濃度の小さな領域27がLDDと呼ばれる。このような領域を設けることによって、チャネル領域と不純物領域の境界近傍の電界を小さくし、素子の動作を安定化させることが可能となった。

【0006】LDDは、通常、図2のように形成される。図2は、NMOSの例を示したがPMOSであっても同様に形成される。最初に、p型の半導体基板上に酸化膜と導電性膜が形成され、これらはエッチングされて、図2（A）に示すようにゲイト絶縁膜22とゲイト電極21となる。そして、このゲイト電極をマスクとして、自己整合（セルフアライン）的に、例えば、イオン打ち込み法等によって、比較的不純物濃度の小さい（記号では n^- と表される）不純物領域23が形成される。

【0007】次いで、この上にPSGのような絶縁被膜24が形成される。そして、この絶縁被膜24は、バイアスプラズマエッチのような異方性エッチング法（方向性エッチング法ともいう）によって、除去されるが、異方性エッチングの結果、ゲイト電極の側面ではPSGがエッチングされないで、図2（C）に25で示すような形状で残る。この残留物をスペーサーと称する。そして、このスペーサー25をマスクとして、セルフアライン的に不純物濃度の大きい（記号では n^+ と表される）不純物領域26が形成される。そして、この n^+ 型不純物領域がFETのソース、ドレインとして用いられる。

【0008】このようなLDD構造を採用することによって、従来の方法では、 $0.5\mu\text{m}$ が限界であるといわれていたチャネル長を $0.1\mu\text{m}$ まで狭めることが可能であることが示されている。

【0009】

【発明が解決しようとする課題】しかしながら、このことによって短チャネル化の問題が全て解決されたわけではない。もう一つの問題点はゲイト幅を小さくすることによるゲイト電極の抵抗の問題である。短チャネル化によって、動作速度を向上させたとしても、ゲイト電極の抵抗が大きければ、その分を打ち消してしまうだけ伝播速度が低下する。ゲイト電極の抵抗を低下させるには例えば、従来使用されていた不純物濃度の大きな多結晶シリコンのかわりに抵抗率の小さな金属シリサイドを用いることや、ゲイト電極と平行にアルミニウムのような低抵抗配線を走らせることが検討され、採用されているが、それとて、ゲイト電極の幅が0.3 μm以下となる状況では限界となることが予想される。

【0010】その場合の別な解決方法として、ゲイト電極の高さと幅の比（アスペクト比）を大きくすることが考えられる。ゲイト電極のアスペクト比を大きくすることによって、ゲイト電極の断面積を大きくし、抵抗を下げるのが可能となる。しかしながら、従来のLDDは、その作製上の問題からアスペクト比を無制限に大きくはできなかった。

【0011】それは異方性エッチングで形成されるスペーサーの幅がゲイト電極の高さに依存するためである。通常、スペーサーの幅はゲイト電極の高さの20%以上となった。したがって、図2のLDD領域27の幅Lを0.1 μmとする場合には、ゲイト電極の高さhは0.5 μm以下でなければならなかった。もし、ゲイト電極がそれ以上の高さとなれば、Lは0.1 μm以上となる。このことは、ソース、ドレイン間の抵抗が増えることであり、望ましくない。

【0012】今、ゲイト電極の高さhが0.5 μm、ゲイト電極の幅Wが1.0 μm、LDDの幅Lが0.1 μmであるとしよう。この素子のスケールを小さくして、Wを0.5 μmとしようとすれば、ゲイト電極の抵抗を維持するためには、hは1.0 μmでなければならない。しかし、そのためにLは0.2 μmとなってしまふ。すなわち、ゲイト電極の抵抗は変わらないが、ON状態（ゲイト電極に電圧が印加されて、チャネル領域の抵抗がn⁺領域の抵抗に比べて十分小さくなった状態）でのソース、ドレイン間の抵抗が2倍となる。一方、チャネル長が半分になったので、素子は2倍の速度で応答することが期待できるが、ソース、ドレイン間の抵抗が2倍になったのでそのことはキャンセルされてしまう。結局、素子の高集積化が達成されただけで、速度の点では従来のままである。一方、Lを従来と同じに保つには、hを0.5 μmとしなければならないが、そうすれば、ゲイト電極の抵抗が2倍となり、結局、高速性は得られない。

*

$$x^2 - x_0^2 + Ax - Ax_0 = Bt \quad (1)$$

【0018】ここで、A、Bはシリコンおよび酸化珪素に依存する正の定数で、温度やシリコンの面方位、酸素

*【0013】通常の例では、スペーサーの幅は、ゲイト電極の高さの50%から100%であり、上に示したもののよりかなり苦しい条件となる。したがって、従来のLDD作製方法ではゲイト電極のアスペクト比は1以下、多くは0.2以下であった。また、このスペーサーの幅は、ばらつきが大きく、各トランジスタ間での特性がまちまちになることが多くあった。このように、従来のLDDの作製方法は短チャネルでの安定性とそれに伴う高集積化と高速性をもたらした反面、その作製上の問題からより一層の高速化、高集積化の妨げとなるという矛盾を呈している。

【0014】本発明は、LDD構造を作製する方法として、アスペクト比が1以上の高アスペクト比のゲイト電極でも何ら問題なく実施できる全く新しい方法を提唱する。上述の通り、微細化によって、もはや配線の高アスペクト比化は避けられない問題である。

【0015】

【問題を解決する方法】本発明の典型的な例を図1に示す。これはNMOSの場合であるが、PMOSであっても同様に実施することができる。最初に、p型の半導体基板上に酸化膜等の絶縁膜と導電性膜が形成され、この絶縁膜と導電性膜はエッチングされて、図1(A)に示すようにゲイト電極となるべき部分11およびゲイト絶縁膜12となる。そして、このゲイト電極となるべき部分をマスクとして、自己整合（セルフアライン）的に、例えば、イオン打ち込み法等によって、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{ cm}^{-2}$ 程度の濃度の不純物濃度の小さい（記号ではn⁻と表される）第1の不純物領域13が形成される。

【0016】次いで、熱酸化法によって、ゲイト電極となるべき部分の表面が酸化される。したがって、ゲイト電極となるべき部分は酸化される材料で構成される必要がある。この工程によって、ゲイト電極となるべき部分の表面が後退する。そして、最終的には酸化物層14の内部にゲイト電極15が残る。（図1(B)）また、ゲイト電極となるべき部分の材料11が多結晶シリコンであり、酸化膜12が酸化珪素であったならば、シリコン基板も酸化されるが、もし、ゲイト絶縁膜（酸化珪素）がゲイト電極形成と同時にエッチングされることがなく、シリコン基板が酸化珪素膜で覆われていたならば、その速度はゲイトとなるべき部分の酸化の速度に比べると十分に小さい。

【0017】すなわち、酸化速度は最初に存在する酸化膜の厚さが大きくなるにしたがって低下するからである。一般に、シリコンの熱酸化については、以下の式が成り立つことが知られている。

原子や水のシリコン中での拡散速度等に依存する。また、x₀は、最初に存在した酸化珪素の膜厚で、xは時

間 t だけ経過したときの酸化珪素の厚さである。(1) * * 式を変形すると、以下の式が得られる。

$$\Delta x (x + x_0 + A) = B t$$

$$(\text{ただし } \Delta x = x - x_0) \quad (2)$$

【0019】例えば、表面に酸化珪素がほとんど形成さ※ ※れていない状態では、 $x_0 = 0$ なので、

$$\Delta x_1 = B t / (x + A) \quad (3)$$

であり、一方、最初にかなり厚い膜が形成されていて、★ ★ $x \sim x_0$ である場合は、

$$\Delta x_2 = B t / (2x + A) \quad (4)$$

となる。(3)と(4)から、他の条件が同じとき、最 ☆ ($\Delta x / t$ で表される) が大きいことがわかる。この計
初に表面に酸化珪素膜が存在しない場合の方が酸化速度 ☆ 算は、詳細なものではないが、その速度の差は、

$$\Delta x_1 / \Delta x_2 = (2x + A) / (x + A) < 2$$

である。

【0020】実際、1気圧の乾燥酸素中での単結晶シリ
コン(100)面の熱酸化では、1000℃で100分
酸化する場合に、熱酸化前に表面に酸化珪素が形成され
ていない場合には酸化珪素が100nm形成されるの
に対し、熱酸化前に表面に100nmの酸化珪素が形成さ
れていた場合には酸化珪素の厚さは150nmにしか
ならず、同じ時間だけ酸化をおこなったのにもかかわ
らず、前者は酸化珪素が100nm形成されたのに、後
者は50nmの厚さの酸化珪素が新たに形成されるに過ぎ
ない。

【0021】また、同じく900℃で100分の熱酸化
をおこなった場合でも、熱酸化前に酸化珪素が形成さ
れていない場合には、50nmの酸化珪素が形成される
のに、熱酸化前に50nmの厚さの酸化珪素が形成され
ている場合には、増加する酸化珪素の厚さは20nmに
過ぎず、200分の熱処理でも、熱酸化前に酸化珪素が存
在しない場合には、熱酸化の結果、厚さ70nmの酸化
珪素が形成されるのに対し、熱酸化前に厚さ90nmの
酸化珪素が形成されている場合には、30nmしか酸化
珪素は増加しない。

【0022】さらに、熱酸化の速度は面方位によって大
きく異なり、シリコンの(100)面の速度は(11
1)面等の他の面に比べて酸化速度が小さい。また、多
結晶シリコンは表面の面方位がバラバラであるので、当
然(100)面の酸化速度より大きく、約2倍ほど早く
酸化される。

【0023】以上のような理由から、図1に示すよう
に、ゲイト電極となるべき部分に形成される酸化珪素の
厚さは、ゲイト絶縁膜を通してシリコン基板上に新た
に形成される酸化珪素の厚さよりもはるかに大きく、図
に示すようにシリコン基板の表面の凹凸は十分小さい。
例えば、ゲイト電極となるべき部分11(多結晶シリ
コン)のものと表面から100nmのところまで酸化した
場合に、酸化膜12(酸化珪素)の下にシリコン基板は
あらたに、25nmだけ酸化される。この程度の凹凸は
半導体素子の特性には深刻な影響を与えない。

【0024】また、この熱酸化の過程では、先に形成さ
れた不純物領域13も熱によって拡散拡大する。本発明
では、素子を電界効果型トランジスタとして効率的に

動作させる必要があるので、このように拡大した不純物
領域の先端はゲイト電極の両端と幾何学的に一致する必
要がある。

【0025】さて、このようにして形成されたゲイト電
極15とその周囲の酸化物層14をマスクとして、セル
フアライン的に $1 \times 10^{20} \sim 5 \times 10^{21} \text{ cm}^{-3}$ という不
純物濃度の大きい(記号では n^+ と表される)第2の不
純物領域16が形成される。このようにして、従来のL
DD作製方法による場合と同じ形状を有するLDDを得
ることができる。この工程で注目すべきことは、図から
明らかなように、LDDの幅 L が、ゲイト電極の高さに
制約されることがないため、ゲイト電極のアスペクト比
を大きくすることができるということである。

【0026】さらに、本発明では、LDDの幅 L を極め
て微妙に制御できる。例えば、 L を10nmから0.1
 μm まで、任意に変化させることができる。また、この
ときのチャネル長 W としては0.5 μm 以下が可能であ
る。従来の方法では、LDDの幅を100nm以下とす
ることは極めて困難で、20%程度の誤差は当然であ
ったが、本発明を利用すれば、LDDの幅を10~100
nmにおいて、10%程度の誤差で作製することが可能
である。 L を細かく制御できるということは、酸化速度
を制御することが容易であるという事実に基づく。

【0027】さらに、本発明では、従来のLDD作製方
法に比べて、スペーサとなるべき絶縁被膜を形成する
必要がないので工程が簡略化され、生産性が向上する。
以下に実施例を示し、より詳細に本発明を説明する。

【0028】

【実施例】本発明を用いた実施例について記載する。こ
の実施例では単結晶半導体基板上に形成した相補型MO
S FET装置(CMOS)に本発明を用いた場合を示
す。本実施例を図3に示す。まず、図3(A)に示すよ
うに、p型単結晶シリコン半導体基板上に、従来の集積
回路作製方法を使用して、n型ウェル32、フィールド
絶縁物30、チャネルストッパー(p^+ 型)31、 n^-
型不純物領域34、 n^+ 型不純物領域36、 p^+ 型不純
物領域33、 p^- 型不純物領域35、リングがドープされ
たn型多結晶シリコンのゲイト電極37(NMOS用)
と同38(PMOS用)を形成する。

【0029】その詳細な作製方法は以下の通りである。

まず、不純物濃度が 10^{15}cm^{-3} 程度のp型シリコンウェファーに BF_3^+ イオンを打ち込み、いわゆるLOCOS法(局所酸化法)によって、チャネルストッパー31とフィールド絶縁物30を形成する。さらにこれに、リンイオンを注入し、 1000°C で3~10時間アニールして、リンイオンを拡散、再分布させ、不純物濃度 10^{16}cm^{-3} 程度のn型ウェル32を形成する。

【0030】その後、熱酸化法によって、厚さ70nmのゲイト絶縁膜(酸化珪素)と、減圧CVD法によって、厚さ500nm、リン濃度 10^{21}cm^{-3} の多結晶シリコン膜を形成し、これをパターニングして、ゲイト電極となるべき部分37および38を形成する。そして、砒素イオンを打ち込んで、不純物濃度 10^{21}cm^{-3} 程度の n^+ 型不純物領域36と、 BF_3^+ イオンを打ち込んで不純物濃度 10^{21}cm^{-3} の p^+ 型不純物領域33を形成する。そして、その後、再び、ゲイト電極となるべき部分および必要によっては他のマスクを用いて、不純物濃度 10^{18}cm^{-3} の n^- 型不純物領域34を形成し、さらに BF_3^+ イオンを打ち込んで、不純物濃度 10^{18}cm^{-3} の p^+ 型不純物領域35を作製する。不純物領域34および35の深さは20nmとした。そして、これらの不純物領域は 900°C で1時間アニールすることによって活性化され、ソース、ドレイン領域となる。このようにして図3(A)を得る。

【0031】次に、図3(B)に示すように、熱酸化法によって、ゲイト電極となるべき部分を酸化する。酸化の条件としては、例えば、乾燥酸素1気圧中、 800°C で500分とする。この熱酸化によって、ゲイト電極となるべき部分の周囲に厚さ約100nmの酸化珪素層39および40が形成され、その内部にゲイト電極41および42が残る。この酸化工程でゲイト電極となるべき部分のシリコン表面は約50nmだけ後退し、一方、単結晶シリコン基板の表面も約10nmだけ後退したが、その後退は極めて微小なので半導体素子の特性にはほとんど影響を与えない。

【0032】次いで、再びイオン注入法によって、 n^+ 型の不純物領域43と p^+ 型の不純物領域44を形成する。いずれの不純物領域も不純物濃度は $1 \times 10^{21}\text{cm}^{-3}$ 程度とする。また、この不純物領域の深さは100nmとした。

【0033】最後に、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層45を形成する。リンガラス層の形成には、例えば、減圧CVD法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を用い、 450°C で反応させ

て得られる。

【0034】その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極46~49を形成する。こうして、図3(D)に示されるような相補型MOS装置が完成する。

【0035】

【発明の効果】本発明によって、極めて制約の少ないLDD型MOSFETを作製することが可能となった。本文中でも述べたように、本発明を利用すれば、ゲイト電極のアスペクト比にほとんど制限されることなくLDD領域を形成しうる。また、そのLDD領域の幅も10~100nmの間で極めて精密に制御することができる。特に本発明は、短チャネル化によって、今後進展すると考えられるゲイト電極の高アスペクト比化に対して有効な方法である。

【0036】もちろん、従来通りのアスペクト比が1以下の低アスペクト比のゲイト電極においても、本発明を使用することは可能で、従来のLDD作製方法に比して、絶縁膜の形成とその異方性エッチングの工程が不要となり、また、LDD領域の幅も精密に制御することが可能であるため、本発明の効果は著しい。

【0037】本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうことは明白である。さらに、本発明では、ゲイト電極の酸化特性が重要な役割を果たすが、本発明で主として記述したシリコンゲイト以外にも、タングステンやモリブデン、クロム、アルミニウム、あるいはそれらの珪化物、炭化物等をゲイト電極として用いてもよい。また、実施例では単結晶半導体基板上のMOSFETの作製工程について記述したが、石英やサファイヤ等の絶縁性基板上に形成された多結晶あるいは単結晶半導体被膜を利用した薄膜トランジスタ(TFT)の作製にも本発明が適用されうことも明らかであろう。

【図面の簡単な説明】

【図1】本発明によるLDDの作製方法を示す。

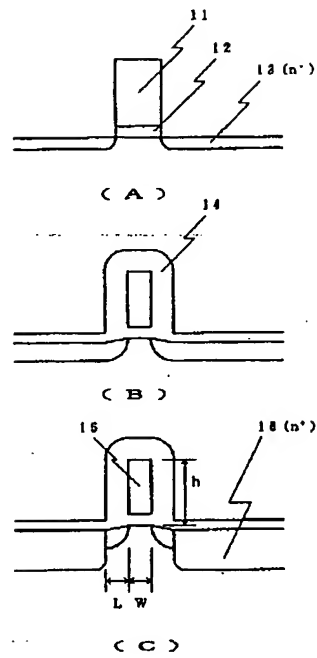
【図2】従来のLDD作製方法を示す。

【図3】本発明を利用した単結晶半導体基板上へのCMOSの作製方法を示す。

【符号の説明】

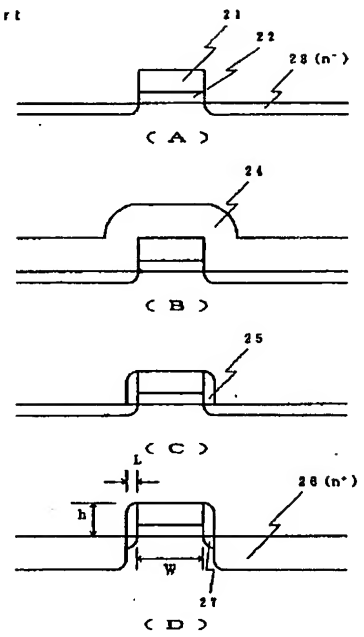
11	ゲイト電極となるべき部分
12	ゲイト絶縁膜
13	n^- 不純物領域
14	酸化物層
15	ゲイト電極
16	n^+ 不純物領域

【図1】



【図2】

Prior Art



【図3】

